

Verifikation der Testschaltung und Simulation der Prüfvorschrift eines Automotive ICs

Andreas Lehmler, Jürgen Weber, Mario Anton, Atmel Germany GmbH, Heilbronn
Sorin A. Huss, Integrierte Schaltungen und Systeme, Fachbereich Informatik, TU Darmstadt

Kurzfassung

Bei der Entwicklung von Automotive-ICs spielt die Zeit von der Idee bis zur Serienreife, die Time-To-Market, eine große Rolle. Je kürzer diese Zeit ist, desto wahrscheinlicher ist ein Erfolg des Produktes auf dem Markt. Für die Durchführung der Testphase des ICs wird eine Beschreibung der einzelnen Tests, eine sogenannte Prüfvorschrift, entwickelt. Um die Tests der Prüfvorschrift durchführen zu können, wird eine Testschaltung, ein sogenanntes Loadboard, benötigt.

Momentan können die korrekte Funktionalität des Loadboards und die Richtigkeit der Testmethodik erst dann geprüft werden, wenn Muster des ICs verfügbar sind. Stellt sich heraus, dass ein Fehler existiert, entsteht ein Iterationsschritt der Testentwicklung, der die Time-To-Market gegebenenfalls verlängert. Es wäre also von großem Nutzen, wenn es eine Möglichkeit gäbe, die Prüfvorschrift bzw. die darin beschriebenen Tests und die Funktionalitäten des Loadboards während der Designphase des ICs zu simulieren und damit frühzeitig Fehler entdecken zu können.

In diesem Beitrag wird gezeigt, wie die diskreten Bauteile des Loadboards in Verhaltensmodelle umgesetzt werden können, damit sie den Anforderungen der Loadboardverifikation und der Prüfvorschriftsimulation gerecht werden. Weiterhin wird ein Verfahren vorgestellt, wie die im Excel-Format vorliegende Prüfvorschrift (bzw. die darin enthaltenen Tests) mit einem Verhaltensmodell, in Form eines Signalgenerators, realisiert werden kann. Anhand des Loadboardentwurfs für einen IC aus dem Automobilbereich wird dessen Verifikation durch Simulation demonstriert. Unter Einbezug des durch Verhaltensmodelle beschriebenen ICs wird die Simulation der Tests der projektspezifischen Prüfvorschrift beispielhaft gezeigt.

1 Einleitung

Sind bei der Entwicklung der IC-Testmethodik oder des Loadboards Fehler entstanden, werden diese zum größten Teil erst beim Testen der ICs erkannt. Das Erkennen eines Fehlers im Aufbau des Boards oder in der Prüfvorschrift führt dazu, dass deren Entwicklungsphase wieder aufgenommen werden muß. Dies verzögert das Testen des ICs, und damit wird die Time-To-Market verlängert, wie in Abbildung 1 dargestellt ist [2].

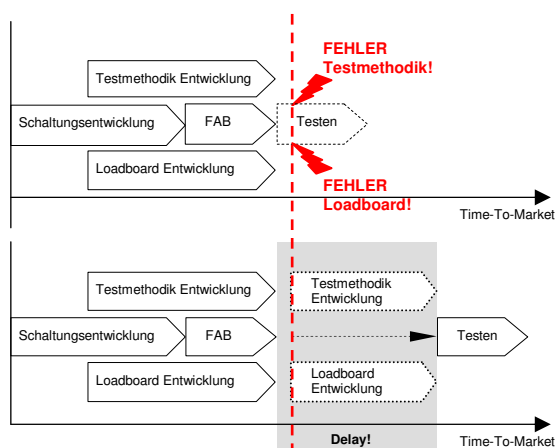


Abbildung 1: Verzögerung im Projektplan

Es ist daher eine frühzeitige Verifikation des Loadboards und der Testmethodik durch Simulation notwendig, um sicher zu stellen, dass deren Entwicklung abgeschlossen ist, wenn der IC in Silizium vorliegt. Die benötigten Zeiten für diese Simulationen fließen in die Projektplanung mit ein, was in Abbildung 2 verdeutlicht wird. Nun ist ein Zeitpuffer vorhanden, in dem etwaige bei der Simulation entdeckte Fehler des Loadboards und der Prüfvorschrift behoben werden können, ohne einen Zeitverzug zu erzeugen.

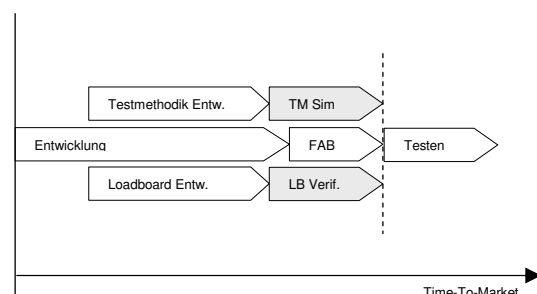


Abbildung 2: Projektplan mit Loadboardverifikation und Testmethodik-Simulation

Bei der Verifikation des Loadboards werden Modelle für die enthaltenen diskreten Bauteile mit niedrigem Abstraktionsgrad benötigt. Für

die Simulation der Prüfvorschrift müssen dagegen Modelle der Loadboardbauteile mit höherem Abstraktionsgrad vorhanden sein, da hier der Fokus nicht auf der Verifikation des Boards liegt, sondern auf der Simulation der Testmethodik. Ebenso muss das DUT (Device Under Test) in verschiedenen Abstraktionsgraden vorliegen [1]. Diese Vorgehensweisen werden in Abschnitt 2 erläutert.

Weiterhin muss eine Methode gefunden werden, die es ermöglicht, die in der Prüfvorschrift enthaltenen Informationen (z.B. benötigte parametrisierte Signalquellen) so in eine für den Simulator nutzbare Form (z.B. ein Verhaltensmodell) umzusetzen, dass Stimuli leicht generierbar bzw. wiederverwertbar sind und eine Änderung der Prüfvorschrift leicht umsetzbar ist. Eine Lösung hierfür wird in Abschnitt 3 gezeigt. Die Ergebnisse aus Abschnitt 2 und 3 werden in Abschnitt 4 im Anwendungsfall demonstriert. Abschnitt 5 beinhaltet eine kurze Zusammenfassung der Themen des Beitrages und gibt einen Ausblick in die Zukunft.

2 Modellerstellung

Diskrete Bauteile wie Relais, Operationsverstärker, Transistoren oder Dioden werden benötigt, um das Loadboard aufzubauen. Für die Verifikation des Loadboards durch Simulation und die Simulation der Prüfvorschrift ist es nun notwendig, Beschreibungsmittel zu finden, die es ermöglichen, die diskreten Modelle optimal in Verhaltensmodelle umzusetzen.

2.1 Modelle für die Verifikation des Loadboards

Um die elektrischen Eigenschaften des Loadboards zu überprüfen und die enthaltenen Funktionseinheiten wie Impedanzwandler oder Strom-Spannungs-Wandler testen zu können, ist es notwendig, hier möglichst genaue Modelle, also Modelle mit niedrigem Abstraktionsgrad, einzusetzen. Die notwendige Genauigkeit liefert hier die Transistormodellebene (SPICE- bzw. SPECTRE-Modelle) die viele Hersteller begleitend zu ihren Produkten zur Verfügung stellen. Sie geben realitätsnah die physikalischen Eigenschaften und die Parametrierung der Komponenten wieder und können problemlos in die Simulationsumgebung, wie z.B. den AMS-Designer, eingebunden werden.

Für die Komponenten, deren Transistormodelle nicht verfügbar sind, müssen Makromodelle, also möglichst genaue analoge Verhaltensmodelle verwendet werden, welche

mit Beschreibungssprachen wie Verilog-A, Verilog-AMS oder VHDL-AMS erstellt werden können.

Die so modellierten Bauteile werden in eine Bibliothek eingefügt, d.h. sie können bei der Umsetzung weiterer Loadboards für die Simulation wiederverwendet werden.

Bis zum jetzigen Zeitpunkt wurden so etwa 50 Modelle von Loadboardkomponenten erstellt. Hiervon sind 10 SPICE/SPECTRE-Modelle, welche durch Internetrecherchen bzw. Anschreiben der Hersteller gefunden wurden. Die restlichen Komponenten wurden mittels Verilog-A modelliert. Die Erstellung der Modelle fand in einem Zeitraum von ca. 2 Monaten statt.

2.2 Modelle für die Simulation der Prüfvorschrift

Die Simulation der Prüfvorschrift erfordert schnelle Modelle der Loadboardbauteile, da hierbei, im Gegensatz zur funktionalen Verifikation des Loadboards, das durch Verhaltensmodelle beschriebene DUT mit eingebunden wird. Mit rein analogen Modellen würde der zeitliche Aufwand der Simulationen den Rahmen sprengen. Hier bieten die Hardwarebeschreibungssprachen die Möglichkeit, rein digitale (Verilog, VHDL) oder Mixed-Signal-Modelle (Verilog-AMS, VHDL-AMS) zu erstellen.

Für das DUT muss es Modelle mit verschiedenen Abstraktionsgraden geben. Die Blöcke müssen als einfache Modelle vorliegen, in denen möglichst viele zeitkontinuierliche in zeitdiskrete Signale umzuwandeln sind, um eine optimale Performance der Simulation zu erreichen. Da die Blöcke aber in der Prüfvorschrift auf ihre Funktionalität geprüft werden, muss auch ein komplexes Modell vorliegen, welches das Verhalten der Transistorschaltung realitätsnah wiedergibt [3]. Abbildung 3 zeigt ein Beispiel für die optimale Partitionierung des DUTs im Anwendungsfall bei einer Blocksimulation im Gesamtdesign. Hier soll Block C bzw. die darunter liegende Schaltung auf Funktionalität getestet werden, also wird ein komplexes Modell benötigt. Die restlichen Blöcke (A,B,D) des DUTs müssen, um die Simulation optimal performant zu machen, als Modelle mit hohem Abstraktionsgrad in die Simulation eingebunden werden.

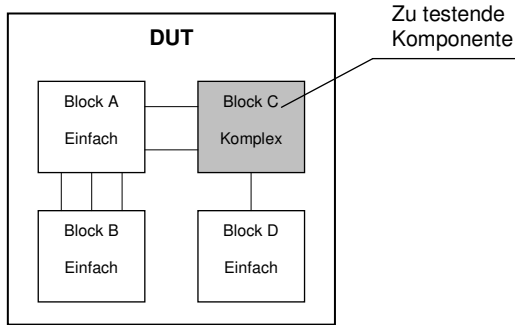


Abbildung 3: Struktur DUT bei Simulation der Prüfvorschrift

Um eine optimale Simulationsperformance zu erhalten, muss sichergestellt werden, dass bei der Simulation der Prüfvorschrift komplette digitale Pfade entstehen. Ist beispielsweise ein Pin eines DUT-Blockes digital beschrieben, muss die daran angeschlossene Loadboardkomponente auch digital beschrieben sein. Dies ist notwendig, um zeitraubende Umrechnungen zwischen analogen und digitalen Signalen zu unterbinden.

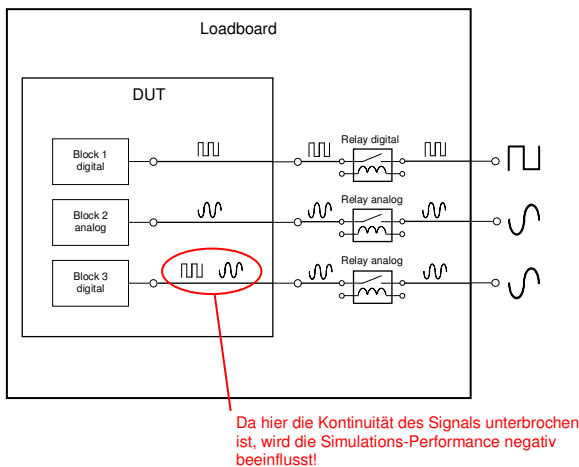


Abbildung 4: Einsatz von verschiedenen Beschreibungen eines Relais abhängig von der Pinbeschreibung des DUT's

3 Umsetzung der Prüfvorschrift

In der Prüfvorschrift, die als Exceltabelle vorliegt, werden alle Tests definiert, die nötig sind, um das DUT vollständig zu verifizieren zu können. Die Tests sind gruppiert, wobei jede Gruppe eine Funktionseinheit des DUT's abbildet. Ein Test wird in der Prüfvorschrift beschrieben durch den Testnamen, alle benötigten Spannungs- und Stromquellen, Kommandos für die digitale Steuerlogik (Serial Peripheral Interface, kurz SPI), den zu messenden Pin, Messgrenzen sowie die Einheit der Messung.

Für die Simulation der Prüfvorschrift ist es notwendig, die benötigten Stimuli wie Pulsquellen, Sinusquellen etc. so generieren zu können, dass sie wiederverwertbar sind, da die Stimuli der Testreihen oft ähnlich sind. Weiterhin soll eine Änderung der Prüfvorschrift nicht umfangreiche Nacharbeiten nach sich ziehen. Dies wäre der Fall, wenn pro Test jeweils eine eigenständige Testbench erstellt werden muss. Ferner muss sichergestellt werden, dass Tests kaskadiert ablaufen können, da es vorkommen kann, dass ein Test einen Messwert des vorangegangenen Testes benötigt oder dass ein bestimmter Betriebszustand des ICs als Startpunkt verwendet wird. Daraus folgt, dass ein Mechanismus notwendig ist, der automatisch für jeden Test die erforderlichen Quellen anlegt, ein sogenannter Signalgenerator. Ebenso muss der Messwert erfasst und ausgewertet werden, das heißt gegen die Messgrenzen aus der Prüfvorschrift verglichen werden. Hier spielt Wiederverwertbarkeit ebenso eine große Rolle, da in den Tests immer wieder ähnliche Messungen durchgeführt werden.

Es wird also in beiden Fällen eine generische Erstellung der Stimuli und der Messung bzw. Messauswertung bezogen auf den jeweiligen Test verlangt, dies lässt sich am besten mit einer Verhaltensmodellierungssprache (HDL) lösen.

3.1 Signalgenerator

Der Signalgenerator generiert Testbenches, um die Tests der Prüfvorschrift simulieren zu können. Hierbei wird zwischen zwei Typen unterschieden, einem analogen und einem digitalen Generator. Im analogen Signalgenerator sind verschiedene parametrierbare Quellen (z.B. Spannungsquelle, Stromquelle, Pulsquelle mit Parametern wie Spannungswert, Stromwert, Anstiegszeiten etc.) definiert. Der digitale Gegenpart enthält zeitdiskrete Quellen wie Taktgeneratoren oder SPI-Kommandogeneratoren. Aus der Prüfvorschrift wird eine Textdatei erstellt, in der sämtliche für den jeweiligen Test notwendige Quellen parametrierbar und den korrekten Pins zugeordnet sind, ein Beispiel hierfür ist in Tabelle 1 zu sehen.

Test-Nr.	Pinnummer		Quellentyp	Quellenparameter		
	Von	bis				
1	3	5	1	2	5	...
1	6	6	2	...		
1	...					

Mit Quellentypen wie:

- 1 = Spannungsquelle
- 2 = Stromquelle
- 3 = Sinusquelle

Tabelle 1: Beispiel Textdatei Signalgenerator

Die Textdatei wird vom Signalgenerator, einem Verilog-AMS-Code, eingelesen und interpretiert. Anhand der definierten Quellen pro Test wird so eine Testbench erstellt. Dieses Verfahren vereinfacht es, Änderungen der Prüfvorschrift wie Änderungen der Signalquellen oder Neu Nummerierungen der Tests nachzuziehen, da hierfür nur die Textdatei geändert werden muss.

Wichtig bei den Quellendefinitionen sind die Verzögerungszeiten, durch sie wird es erst möglich, einen Prüfprogramm ähnlichen Ablauf des Testes durchzuführen. Beispielsweise dürfen bestimmte Blöcke erst dann stimuliert werden, wenn die Versorgungsspannungen stehen.

Für komplizierte Tests wie Testkaskaden, also Tests die unmittelbar nacheinander ausgeführt werden, eignet sich der Signalgenerator allerdings nicht, hierfür müssen separate Testbenchs geschrieben werden. Ein Beispiel für eine Testkaskade ist in Abbildung 6 dargestellt.

Test 1	Signal 1 = 5V Messung Signal 2
Test2	Signal 2 = Endwert von Signal 2 in Test1 Messung Signal 3

Abbildung 6: Beispiel Testkaskade

3.2 Messwerterfassung

Die Messwerterfassung, im weiteren Messblock genannt, wird zwischen die Signalgeneratoren und das Loadboard geschaltet und verbindet beides bidirektional, wie es in Abbildung 7 zu sehen ist.

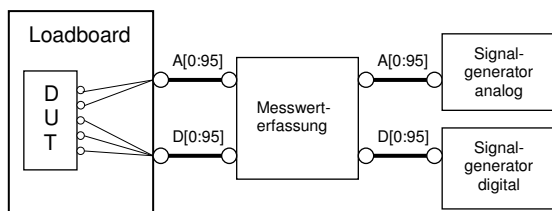


Abbildung 7: Aufbau Loadboard/PV-Simulation

Der Messblock dient also als Brücke für alle Signale, digital oder analog, die von den Signalgeneratoren oder vom Loadboard kommen. Wie beim Signalgenerator wird mit den Angaben aus der Prüfvorschrift ein Textfile generiert, welches die Messung pro Test definiert, wie exemplarisch in Tabelle 2 erläutert wird. Es können u.a. Spannungswerte, Stromwerte, Widerstandswerte oder auch Anstiegs- und Abfallzeiten gemessen werden.

Test-Nr.	Pinnnummer Von	Pinnnummer Bis	Messungstyp
1	7	8	1
2	4	4	3
...			

Mit Messungstypen wie:

- 1 = Spannungsmessung
- 2 = Strommessung
- 3 = Widerstandsmessung

Tabelle 2: Beispiel Textdatei Messblock

Das Messergebnis wird im finalen Schritt der Simulation festgehalten und mit den Messgrenzen der Prüfvorschrift verglichen. Das Ergebnis der Messung lautet somit entweder „passed“ (wenn der Messwert zwischen den Grenzen liegt) oder „failed“ (wenn der Messwert außerhalb der Grenzen liegt).

4 Simulation

Im folgenden werden die Verifikation des Loadboards und die Simulation der Prüfvorschrift anhand eines realen Beispiels gezeigt. Hierfür wurde das Loadboard eines Automotive-ICs in die Simulationsumgebung übertragen und mit den Modellen der Loadboardkomponenten versehen. Ebenso wurde aus der Prüfvorschrift des ICs die für den Signalgenerator und die Messwerterfassung benötigte Textdatei erstellt.

Bei dem Automotive-IC, schematisch dargestellt in Abbildung 9, handelt es sich um einen Antennentreiber für kleine Frequenzen. Er treibt Antennen, die in automatischen Systemen für die Fahrzeugschlossentriegelung (Passive Entry/Go Systeme) verwendet werden. Der IC beinhaltet Funktionseinheiten wie High Side/Low Side Treiber, einem Sinusgenerator, einer Measurementunit und einem Oszillator.

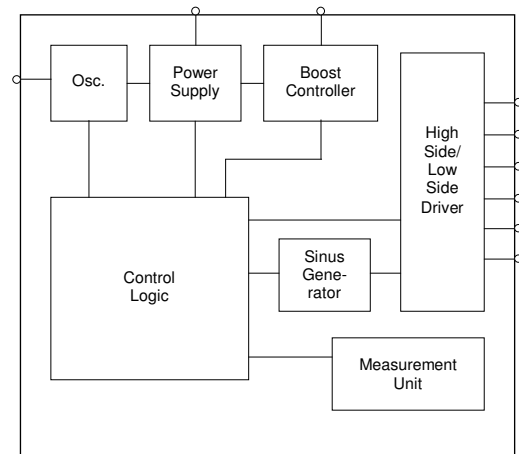


Abbildung 9: Schematische Darstellung IC

4.1 Loadboardverifikation

Um die korrekte Funktionalität des Loadboards sicherzustellen, bevor es als Platine vorhanden ist, muß das Loadboard verifiziert werden. Als Beispiel hierfür soll eine Funktionseinheit des Loadboards simuliert werden. Es handelt sich dabei um einen Strom-Spannungs-Wandlers, der durch diskrete Bauteile realisiert wird. Der Funktionsblock, dessen Schaltplan in Abbildung 10 dargestellt ist, soll den einfließenden Strom (I_{in}) nach dem ohmschen Gesetz in eine Spannung (V_{out}) umwandeln.

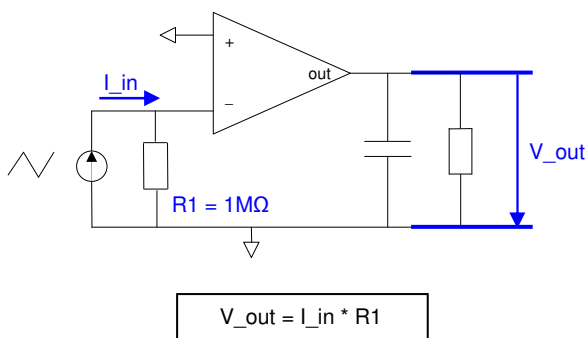
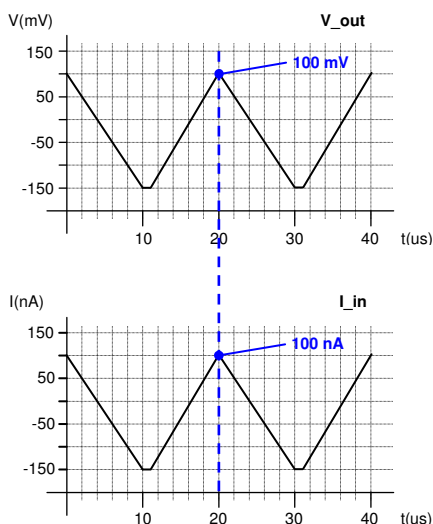


Abbildung 10: I/U-OpAmp

Die Verifikation der Schaltung ergab den Kurvenverlauf, der in Abbildung 11 dargestellt ist. Setzt man die Messergebnisse der Spannungs- und Stromkurve zu einem beliebigen Zeitpunkt in die ohmsche Gleichung ein (z.B. in diesem Fall bei 20 μ s), kann man die Richtigkeit des Ergebnisses nachprüfen.



$$V_{out} = I_{in} * R1$$

$$100.0 \text{ mV} = 100.0 \text{ nA} * 1.0 \text{ M}\Omega \quad \checkmark$$

Abbildung 11: Simulationsergebnis

Getestet wurden mehrere Funktionseinheiten, sowie Signalverläufe von den Eingangspins des Loadboards bis zum DUT, der durch einen Dummy ersetzt wurde. Diese Arbeiten nahmen ca. 2 Wochen in Anspruch. Durch die Simulation aller Funktionseinheiten des Loadboards konnten Fehler frühzeitig gefunden und behoben werden.

4.2 Simulation der Prüfvorschrift

Nach der Verifikation des Loadboards wurde der oben genannte Automotive-IC in die Simulationsumgebung eingebunden. Für den IC wurden im Vorfeld die benötigten einfachen und komplexen Verhaltensmodelle auf der Basis von [1] und [2] erstellt. Es wurden die Testreihen der Funktionseinheiten Sinusgenerator und Boost Controller (mittels des Analog Design Environments im AMS-Betrieb der Firma CADENCE) simuliert.

Um die erforderlichen Signalquellen für die einzelnen Tests mit dem Signalgenerator zu erzeugen, wurden die entsprechenden Daten aus der Prüfvorschrift in die Textdatei extrahiert. Ebenso wurde mit den Messdaten (Einheiten, Grenzwerte) welche die Messwert-erfassung benötigt, verfahren. Die Ergebnisse der Tests, Messwert, Einheit, obere Grenze, untere Grenze sowie das Urteil „passed“ oder „failed“ wurden wiederum in eine weitere Textdatei geschrieben.

Die Ergebnisse der Prüfvorschriftsimulation der ausgewählten Funktionseinheiten des Automotive-ICs wurden mit Messergebnissen aus separat „von Hand“ durchgeführten Simulationen verglichen. Sie konnten generell Übereinstimmungen vorweisen, welche die korrekte Funktion des Vorgangs der Prüfvorschriftsimulation bestätigte.

5 Zusammenfassung und Ausblick

In diesem Beitrag wurden Methoden für die Modellumsetzung von Loadboardkomponenten für die Loadboardverifizierung und die Prüfvorschriftsimulation gezeigt. Weiterhin wurde eine Methodik zur effizienten Umsetzung der Prüfvorschrift in eine Testbench vorgestellt. An einem Fallbeispiel wurden die Methoden demonstriert. Nach dem Erfolg der Loadboardverifikation und der PV-Simulation sollen diese nun auch in weiteren Projekten ihre Anwendung finden. Es wurden einige Loadboardkomponenten modelliert, welche in eine Bibliothek eingefügt wurden und so auch in anderen Projekten eingesetzt werden können. Tatsächlich wird sich der Aufwand der Modellerstellung von Projekt zu Projekt ver-

kürzen. Da auch die konzeptionelle und technische Entwicklung des Signalgenerators und der Messwerterfassung soweit abgeschlossen sind, sollte der Zeitaufwand für die hier beschriebenen Methoden problemlos in den Projektplan integrierbar sein.

Für die Zukunft muss eine Möglichkeit gefunden werden, die Prüfvorschrift ohne großen Aufwand in die für den Signalgenerator und den Messwerterfasser benötigte Form zu bringen. Bis jetzt geschieht dies mühsam von Hand, hier ist ein Automatismus notwendig, der die Daten aus der Prüfvorschrift extrahiert. Auch können komplizierte Tests wie Testkaskaden nicht unter Benutzung des Signalgenerators sondern nur mit eigens erstellten Testbenchs durchgeführt werden. Hierfür muss ein spezieller Signalgenerator entwickelt werden.

6 Literatur

- [1] Jürgen Weber, Mario Anton, Sorin A. Huss, *Verhaltensmodellierung von Aus- und Eingangsstufen für den Virtuellen Test von Mixed Signal Automotive Schaltkreisen*, ITG Fachbericht zur Analog 2003, Heilbronn, Seite 91-97

- [2] Mario Anton, Jürgen Weber, Jens Schuster, Andreas Lehmann, *Verhaltensmodellierung von Mixed-Signal Automotive ICs für die Anwendung im Virtuellen Test*, ITG Fachbericht zur Analog 2002, Bremen, Seite 55-60

- [3] Jürgen Weber, Mario Anton, Sorin A. Huss: *Effziente Mixed-Level Modellierung integrierter Mixed-Signal Automotive Schaltkreise*, ITG Fachbericht zur Analog 2005, Hannover, Seite 217-222